

Izazov oblikovanja sustava na čipu

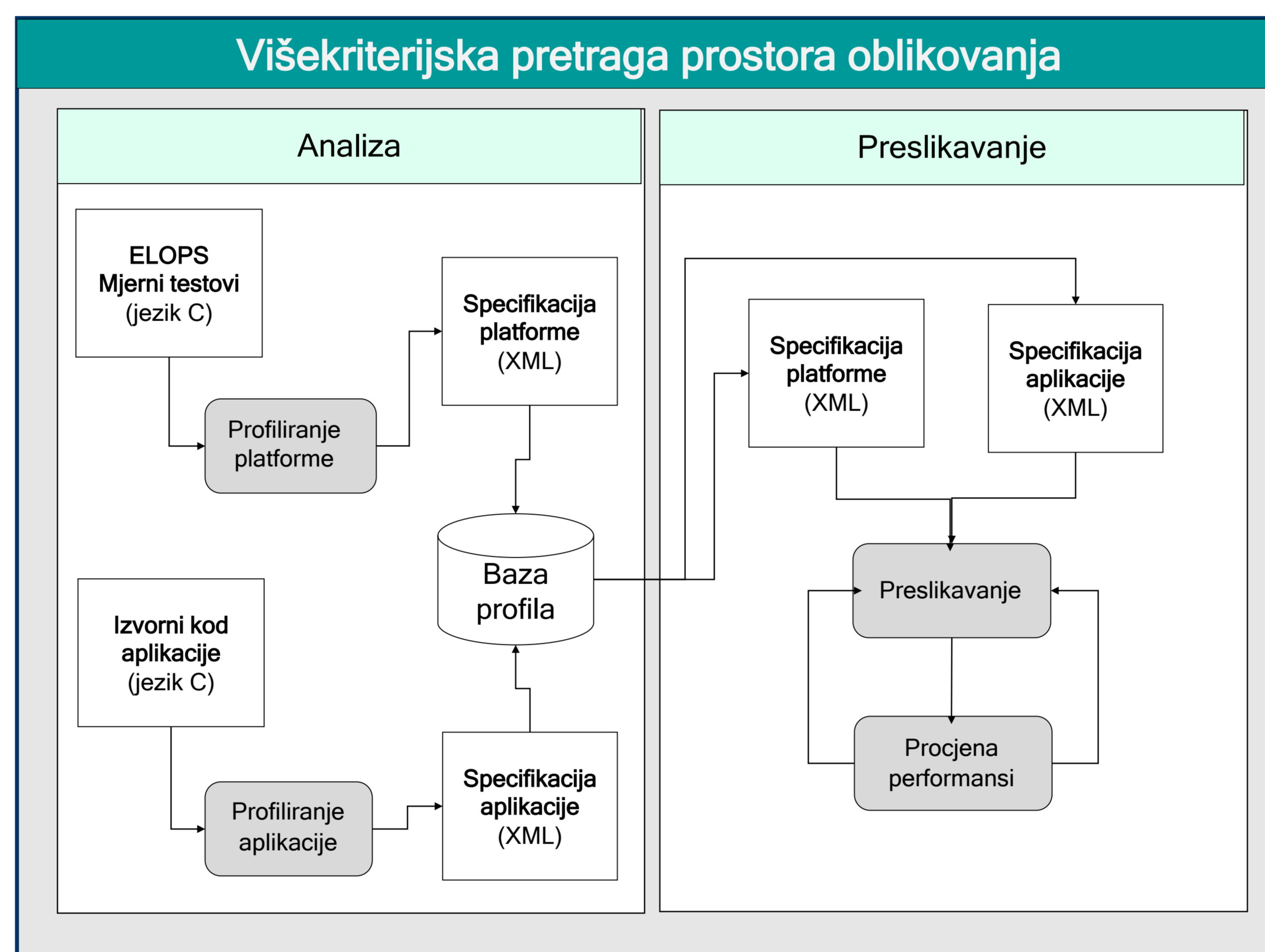
- Izvođenje složenih algoritama na heterogenim arhitekturama – postizanje visokih računalnih performansi i energetske učinkovitosti uz prihvatljivu cijenu
- Smanjivanje jaza modela i RTL implementacije kroz:
 - procjenu performansi aplikacije prije izrade prototipa platforme
 - učinkovitu pretragu prostora rješenja

Metoda procjene trajanja izvođenja

- Osnovna značajka: visoka razina apstrakcije
- Klasifikacija izvornog koda prema **konceptu elementarnih operacija**
- Izrada specifikacije sustava provedbom profiliranja aplikacije i platforme na temelju klasifikacijske sheme elementarnih operacija

Elementarne operacije

- Zasebni dijelovi izvornog koda koji odražavaju ponašanje platforme bez izrade modela cjevovoda i priručne memorije.
- Klasifikacija elementarnih operacija** provedena prema vrsti operacija te vrsti i lokaciji operanada. Operacije mogu sadržavati attribute koji označavaju postojanje sekvence operacija, prisutnost mješovite vrste operanada i složenost indeksa polja.



Pretraga prostora oblikovanja

- Rana faza oblikovanja – odluke o odabiru elemenata arhitekture i razmještaju dijelova aplikacije po elementima bitno utječu na ukupan trošak i trajanje razvoja

Svojstva nove metode:

- Višekriterijska pretraga prostora oblikovanja: vrijeme izvođenja i broj zauzetih elemenata
- Uporaba metode procjene trajanja izvođenja pomoću *elementarnih operacija* za preciznu procjenu u ranoj fazi oblikovanja
- Poboljšana modularnost, ponovna iskoristivost i skraćivanje vremena oblikovanja.

Analiza

- Izrada specifikacije sustava profiliranjem aplikacije i platforme
- Pohrana specifikacije u bazu profila

Preslikavanje

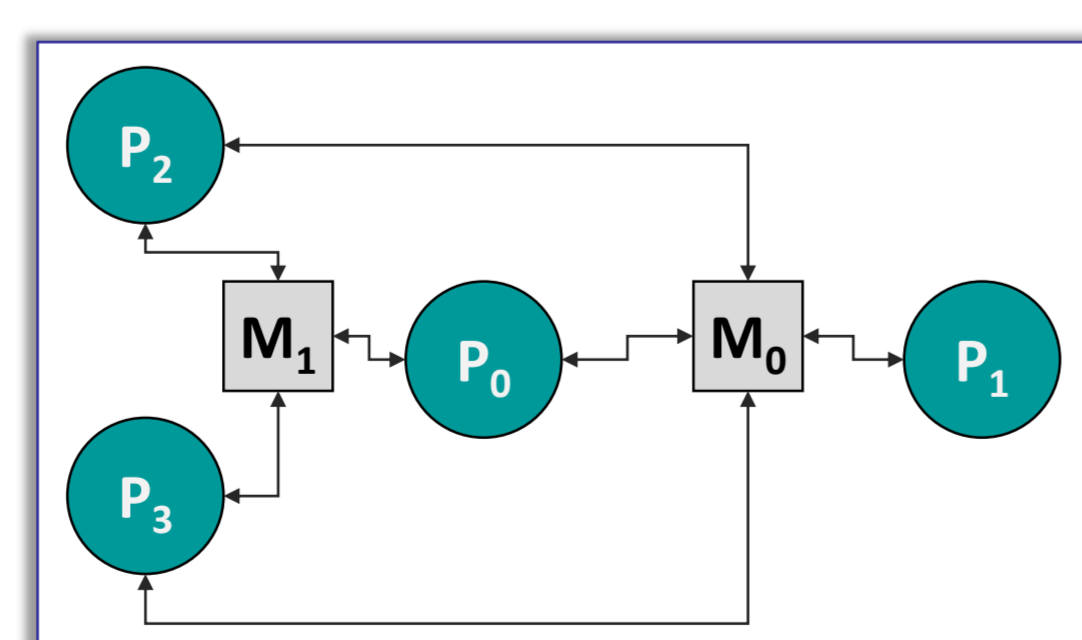
- Temeljeno na **NSGA-II** evolucijskom algoritmu, s dva pristupa:
 - jednofazni** – istovremeno preslikavanje računanja i komunikacije
 - dvofazni** – u prvoj fazi se preslikava računanje, a u sljedećoj fazi komunikacija
- Analitička procjena performansi** temeljem specifikacije sustava izrađene u fazi analize

Klasifikacijska shema elementarnih operacija

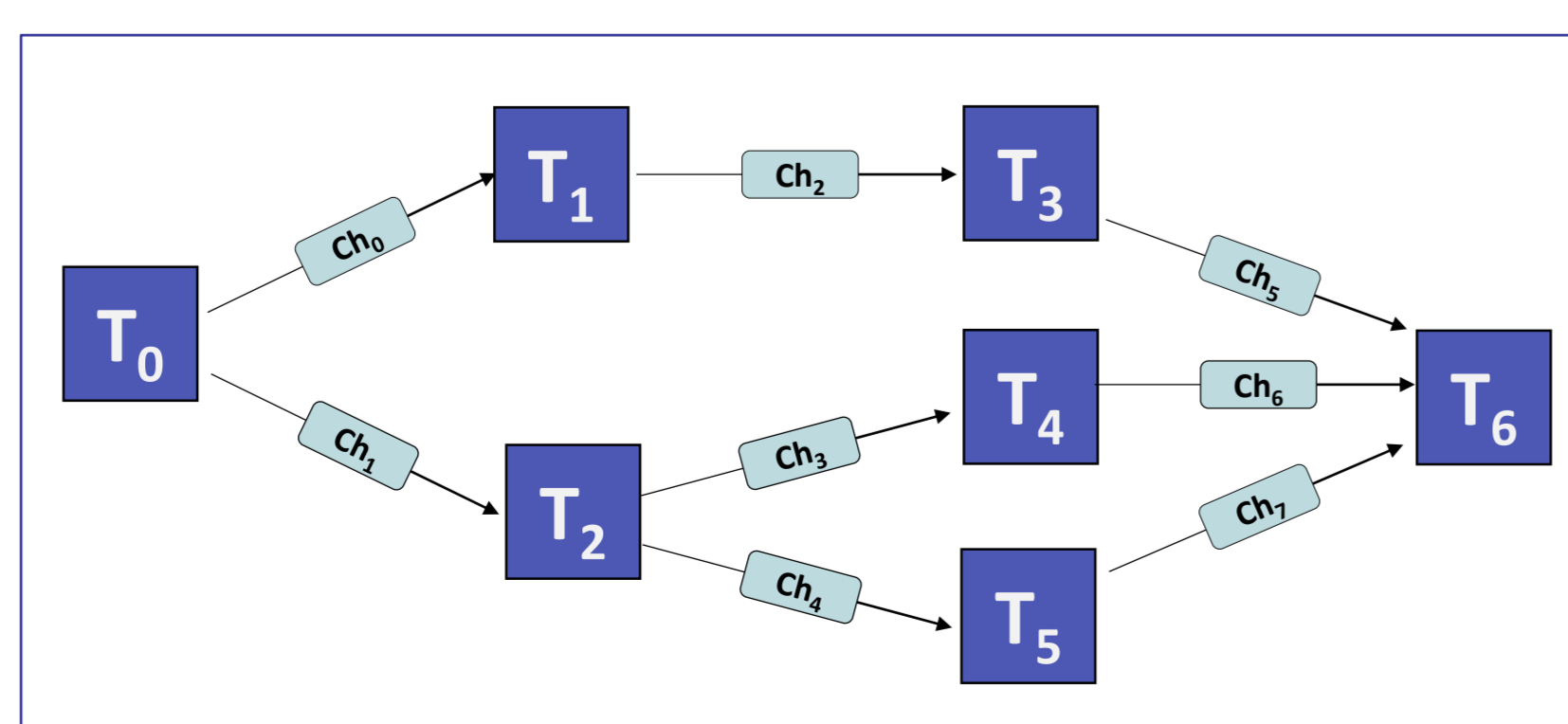
	INTEGER	FLOATING POINT	LOGIC	MEMORY
local	variable	INT_loc_var_ADD INT_loc_var_MUL INT_loc_var_DIV	LOG_loc_var_LOG LOG_loc_var_SHIFT	MEM_loc_var_ASSIGN MEM_loc_var_BLOCK MEM_loc_var_PROC
	array	INT_loc_arr_ADD INT_loc_arr_MUL INT_loc_arr_DIV	LOG_loc_arr_LOG LOG_loc_arr_SHIFT	MEM_loc_arr_ASSIGN MEM_loc_arr_BLOCK MEM_loc_arr_PROC
	global	INT_glob_var_ADD INT_glob_var_MUL INT_glob_var_DIV	LOG_glob_var_LOG LOG_glob_var_SHIFT	MEM_glob_var_ASSIGN MEM_glob_var_BLOCK MEM_glob_var_PROC
parameter	variable	INT_par_var_ADD INT_par_var_MUL INT_par_var_DIV	LOG_par_var_LOG LOG_par_var_SHIFT	MEM_par_var_ASSIGN MEM_par_var_BLOCK MEM_par_var_PROC
	array	INT_par_arr_ADD INT_par_arr_MUL INT_par_arr_DIV	LOG_par_arr_LOG LOG_par_arr_SHIFT	MEM_par_arr_ASSIGN MEM_par_arr_BLOCK MEM_par_arr_PROC

Specifikacija sustava

- Platforma**
 - Izrada mjernih testova na temelju klasifikacijske sheme elementarnih operacija
 - Profiliranje:** izvođenje mjernih testova na procesnim i memorijskim elementima ciljne platforme
- Aplikacija**
 - Razdvajanje računanja i komunikacije
 - Profiliranje:** identifikacija elementarnih operacija u kodu aplikacije



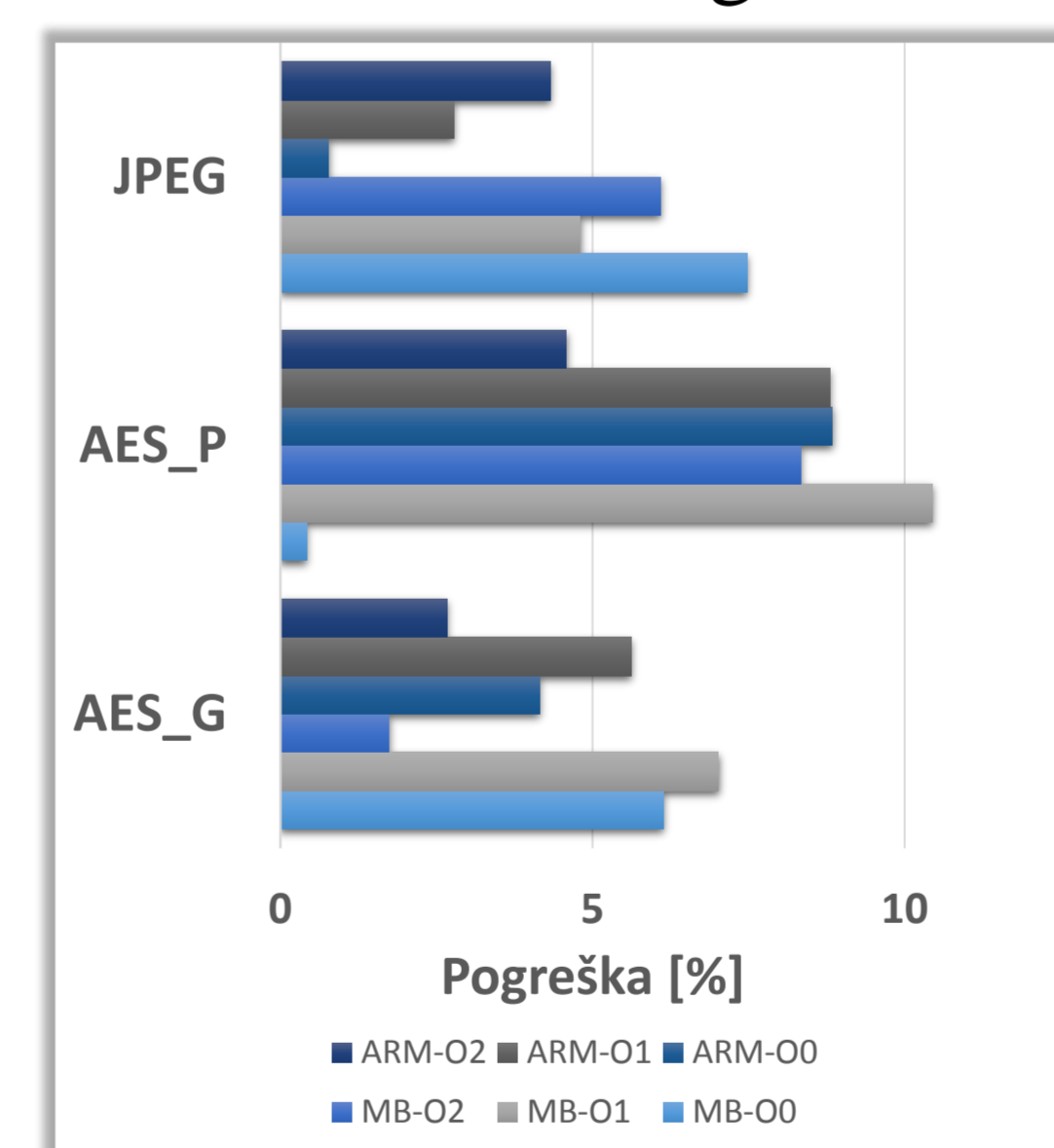
Primjer modela platforme



Primjer modela aplikacije

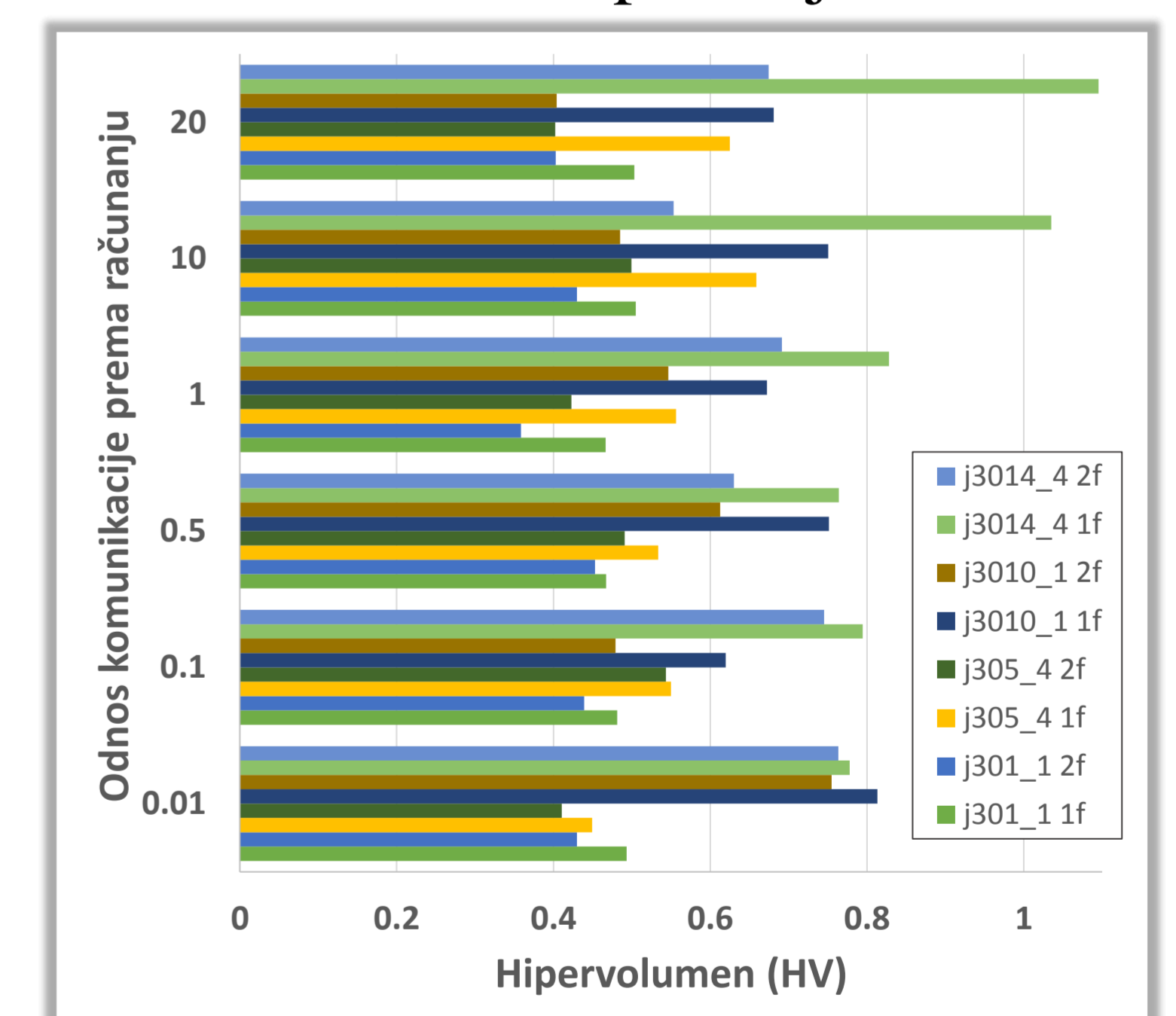
Rezultati

- Pretraga prostora oblikovanja implementirana kao alat *DSExplorer* ispitana je na platformi *ZYNQ ZC-706* na arhitekturama *ARM* i *Microblaze* za algoritme *JPEG*, *AES* te sintetičke aplikacije *PSPLib*



Pogreška procjene

trajanja izvođenja aplikacija na arhitekturama *ARM* i *Microblaze* za tri razine optimizacije koda.



Usporedba uspješnosti

jednofaznog i dvofaznog pristupa za sintetičke aplikacije iz skupa *PSPLib*.

Zaključak

Razvijena je klasifikacijska shema elementarnih operacija te modeli aplikacije i platforme koji su uključeni u metodu višekriterijske pretrage prostora oblikovanja. **Ispitivanje** provedeno na platformi *ZYNQ ZC-706* na sintetičkom i stvarnom skupu ispitnih aplikacija pokazuje poboljšanje točnosti procjene od oko **20%** u odnosu na ostale metode u području uz ostvarenu modularnost i ponovnu iskoristivost.

Reference

- P. Marwedel, *Embedded System Design*. Dordrecht: Springer Netherlands, 2011.
- C. Erbas, A. D. Pimentel, M. Thompson, and S. Polstra, "A Framework for System-Level Modeling and Simulation of Embedded Systems Architectures," *EURASIP J. Embed. Syst.*, vol. 2007, pp. 1–11, 2007.
- Altenbernd P, Gustafsson J, Lisper B, Stappert F, "Early execution time estimation through automatically generated timing models. *Real-Time Systems* 52(6):731(760), (2016)